

## 明 細 書

### 半導体装置

### 技術分野

- [0001] 本発明は、メモリセルに高電圧を印加することによりデータ書き換えが可能なEEPROMやフラッシュメモリなどの不揮発性メモリ装置に好適な半導体装置に関する。

### 背景技術

- [0002] 近年、EEPROMやフラッシュメモリは、民生機器又は産業機器などにおいて、種々のプログラム記憶用あるいはデータ記憶用に幅広く用いられている。EEPROMやフラッシュメモリを構成するメモリセルは、高電圧(例えば15V)により発生するトンネル電流やホットエレクトロンを用い、フローティングゲートに電子を注入したりフローティングゲートの電子を放出したりする。その結果、メモリセルのしきい値が変化してデータの書き換えが行われる。
- [0003] また、一般に、半導体工場で製造された半導体装置は、欠陥が有りながら出荷されてその後に不良品となる可能性があるものを取り除く試験、いわゆるスクリーニング試験が行われる。このスクリーニング試験は、例えば保証範囲外の高温や高い電圧といった通常使用される条件よりも過酷な条件で行われる。EEPROM又はフラッシュメモリなどの不揮発性メモリ装置についてもこのようなスクリーニング試験が行われ、例えば特許文献1又は2に記載されるように、種々の技術が提案されている。なお、特許文献1の技術はスクリーニング試験においての高電圧を得るためのものであり、特許文献2の技術はスクリーニング試験の簡単化のためのものである。
- [0004] 図6に従来の不揮発性メモリ装置101のブロック図を示す。この不揮発性メモリ装置101は、複数のメモリセルが設けられたメモリセル部2と、下位アドレス線のアドレス信号を入力してメモリセル部2の1本のワード線(あるいはコントロール線)(図示せず)を選択するXデコーダ5と、上位アドレス線のアドレス信号を入力し、1本のワード線(あるいはコントロール線)につながったメモリセルの中で読み出し又は書き換えを行う一定のメモリセルを選択するYデコーダ6と、Yデコーダ6の出力信号を入力し、上記の選択されたメモリセルと後述のデータ入出力回路4との接続を行うYゲート3と、メモリ

セルのデータを読み出してデータ線に出力したりデータ線のデータ信号に応じてメモリセルのデータを書き換えたりするデータ入出力回路4と、データ書き換えのための高電圧を発生して図6中の節点Aに出力する高電圧発生回路7と、から構成される。メモリセルのデータを書き換える場合は、高電圧発生回路7から出力される高電圧が、節点AからXデコーダ5又はデータ入出力回路4を介してメモリセル部2の各メモリセルに印加される。

[0005] 特許文献1:特開2000-182373号公報

特許文献2:特開2001-250396号公報

発明の開示

発明が解決しようとする課題

[0006] しかし、高電圧発生回路7から出力される高電圧は、図7の波形aに示すように、データ書き換えが始まる時間 $t_0$ において急峻に立ち上がる。この急峻な立ち上がりはメモリセルに余分のストレスをかけ、その結果、メモリセルの寿命を短くすることになっていた。

[0007] また、高電圧発生回路7などのメモリセル部の周辺回路に用いる高電圧用の素子(具体的にはN型あるいはP型MOSトランジスタなど)は、その耐圧の限度付近で動作させているので、スクリーニング試験において更に高い高電圧を発生させたり外部から入力させたりして試験を行うのは実用上困難であった。従って、現実には、複数のメモリセルを有するメモリセル部の試験は、印加される高電圧を上げずに、高電圧以外の電源電圧や温度などを過酷な条件とした試験であり、スクリーニング試験の精度が十分ではなかった。

[0008] 本発明は、上記事由に鑑みてなしたもので、その目的とするところは、メモリセルにかかるストレスを和らげることが可能な不揮発性メモリ装置を提供することにある、更なる目的とするところは、スクリーニング試験においてその精度の向上を図ることができ、不揮発性メモリ装置を提供することにある。

課題を解決するための手段

[0009] 上記の課題を解決するために、本発明の望ましい実施形態に係る半導体装置は、高電圧を発生する高電圧発生回路を備える半導体装置において、高電圧発生回路

の後段に設けられ、高電圧発生回路の高電圧の波形を変換して徐々に高電圧を出力する高電圧波形変換回路を更に備える。

[0010] この半導体装置は、望ましくは、高電圧を用いてデータ書き換えが行われるメモリセルを更に備え、前記高電圧波形変換回路はメモリセルに徐々に高電圧を印加する。

[0011] この半導体装置の前記高電圧波形変換回路は、望ましくは、前記高電圧発生回路の高電圧を遅延させる遅延回路と、遅延させた高電圧を所定値だけ降下させる電圧変換用スイッチング素子と、を備える。

[0012] この半導体装置の前記電圧変換用スイッチング素子は、望ましくは、前記遅延回路により遅延させた高電圧をゲートに入力し、所定値だけ降下させて変換した高電圧をソースから出力するN型MOSトランジスタである。

[0013] 本発明の更に望ましい実施形態に係る半導体装置は、更に、前記高電圧波形変換回路が、テスト信号入力部を有し、テスト信号入力部にテスト信号が入力されたとき、前記高電圧発生回路の高電圧の波形の変換をすることなく出力する。

[0014] この半導体装置の前記高電圧波形変換回路は、望ましくは、前記高電圧発生回路の高電圧を遅延させる遅延回路と、遅延させた高電圧を所定値だけ降下させる電圧変換用スイッチング素子と、電圧変換用スイッチング素子と並列に設けられ、前記テスト信号入力部にテスト信号が入力されたときに電圧変換用スイッチング素子を短絡する短絡用スイッチング素子と、を備える。

[0015] この半導体装置の前記電圧変換用スイッチング素子は、望ましくは、前記遅延回路により遅延させた高電圧をゲートに入力し、所定値だけ降下させて変換した高電圧をソースから出力するN型MOSトランジスタであり、前記短絡用スイッチング素子は、前記テスト信号入力部にテスト信号が入力されたとき、オンして前記高電圧発生回路の高電圧をそのまま出力するP型MOSトランジスタである。

### 発明の効果

[0016] 本発明の望ましい実施形態に係る半導体装置は、高電圧波形変換回路を備えることにより高電圧が印加される後続の回路、具体的には不揮発性メモリ装置の場合のメモリセルにかかるストレスを和らげることが可能となる。また、本発明の更に望ましい実施形態に係る半導体装置は、高電圧波形変換回路にテスト信号が入力されたときに

高電圧発生回路の高電圧をそのままメモリセルなどの回路に印加するようにしたので、スクリーニング試験の精度の向上を図ることができる。

#### 図面の簡単な説明

- [0017] [図1]本発明の実施形態に係る不揮発性メモリ装置のブロック図である。  
[図2]同上の高電圧波形変換回路の回路図である。  
[図3]同上の高電圧波形変換回路の動作波形図である。  
[図4]本発明の別の実施形態に係る不揮発性メモリ装置のブロック図である。  
[図5]同上の高電圧波形変換回路の回路図である。  
[図6]背景技術の不揮発性メモリ装置のブロック図である。  
[図7]同上の高電圧発生回路が出力する電圧の波形図である。

#### 符号の説明

- [0018] 1、51 不揮発性メモリ装置  
2 メモリセルを複数設けたメモリセル部  
7 高電圧発生回路  
8、58 高電圧波形変換回路  
11 N型MOSトランジスタ(電圧変換用スイッチング素子)  
12 遅延回路を構成する抵抗  
13 遅延回路を構成するコンデンサ  
14 P型MOSトランジスタ(短絡用スイッチング素子)  
TEST 高電圧波形変換回路のテスト信号入力部

#### 発明を実施するための最良の形態

- [0019] 以下、本発明の最良の実施形態を図面を参照しながら説明する。図1は本発明の半導体装置を不揮発性メモリ装置に適用した場合の実施形態のブロック図である。この不揮発性メモリ装置1は、従来の不揮発性メモリ装置101と同様に、複数のメモリセルが設けられたメモリセル部2と、下位アドレス線のアドレス信号を入力してメモリセル部2の1本のワード線(あるいはコントロール線)(図示せず)を選択するXデコーダ5と、上位アドレス線のアドレス信号を入力し、1本のワード線(あるいはコントロール線)につながったメモリセルの中で読み出し又は書き換えを行う一定のメモリセルを選択

するYデコーダ6と、Yデコーダ6の出力信号を入力し、上記の選択されたメモリセルとデータ入出力回路4との接続を行うYゲート3と、メモリセルのデータを読み出してデータ線に出力したりデータ線のデータ信号に応じてメモリセルのデータを書き換えたりするデータ入出力回路4と、データ書き換えのための高電圧を発生して図1中の節点Aに出力する高電圧発生回路7と、を有して成る。

[0020] そして、この不揮発性メモリ装置1は、高電圧発生回路7の後段(すなわち節点Aの後段)に設けられる高電圧波形変換回路8を更に備える。高電圧波形変換回路8は、節点Aを介して入力される高電圧発生回路の高電圧の波形を変換して節点Bに出力する。メモリセルのデータを書き換える場合、節点BからXデコーダ5又はデータ入出力回路4を介して高電圧が徐々にメモリセルに印加されることになる。

[0021] 図2はこの高電圧波形変換回路8の回路図である。高電圧波形変換回路8において、図1の節点Aに対応する入力端子Aに抵抗12の一端とN型MOSトランジスタ11のドレインが接続される。抵抗12の他端は、他端が接地されたコンデンサ13が接続されると共にN型MOSトランジスタ11のゲートに接続される。N型MOSトランジスタ11のソースは、図1の節点Bに対応する出力端子Bに接続される。ここで、抵抗12とコンデンサ13は、高電圧発生回路7から入力される高電圧を遅延させる遅延回路を構成している。また、N型MOSトランジスタ11はソースフォロア構成であり、遅延させた高電圧を所定値だけ降下させる電圧変換用スイッチング素子となっている。

[0022] 図3に高電圧波形変換回路8における入力端子Aと出力端子Bの電圧波形を示す。入力端子Aに入力した高電圧(波形a)が立ち上がると(時間 $t_0$ )、抵抗12とコンデンサ13とによりN型MOSトランジスタ11のゲート電圧は遅延し、例えば500  $\mu$ S後(時間 $t_1$ )に立ち上がる。また、ソースフォロア構成であるN型MOSトランジスタ11のソース電圧は、ゲート電圧からN型MOSトランジスタ11のしきい値電圧だけ降下した電圧に維持される。従って、出力端子Bの電圧(波形b)は、N型MOSトランジスタ11のゲート電圧に追従して立ち上がり(すなわち、例えば500  $\mu$ S後(時間 $t_1$ )に立ち上がり)、立ち上がった後は、入力端子Aの電圧よりもN型MOSトランジスタ11のしきい値電圧だけ降下した電圧になる。その後、入力端子Aの電圧が立ち下がると(時間 $t_2$ )、出力端子Bの電圧は、N型MOSトランジスタ11がオンしているので、そのドレイン電

圧(すなわち入力端子Aの電圧)に追従して立ち下がる。

[0023] このように、不揮発性メモリ装置1では、高電圧波形変換回路8により高電圧発生回路7の高電圧の立ち上がりが緩やかになるように変換され、メモリセル部2の各メモリセルには高電圧が徐々に印加される。それにより、メモリセルにかかるストレスが和らぐことになる。

[0024] 次に、本発明の更に望ましい不揮発性メモリ装置の実施形態を説明する。この不揮発性メモリ装置51のブロック図を図4に示す。不揮発性メモリ装置51は、図1の不揮発性メモリ装置1の高電圧波形変換回路8に換え、テスト信号入力部TESTを有する高電圧波形変換回路58を備えている。電圧波形変換回路58は、テスト信号入力部TESTにテスト信号が入力されたとき(スクリーニング試験時)、高電圧発生回路7の高電圧の波形の変換をすることなくメモリセル部2のメモリセルに印加する。つまり、テスト信号が入力されない通常時にメモリセルのデータを書き換える場合は高電圧波形変換回路58により波形が変換された高電圧が、スクリーニング試験時にメモリセルのデータを書き換える場合は波形が変換されていない高電圧が、節点BからXデコーダ5又はデータ入出力回路4を介してメモリセル部2の各メモリセルに印加されるのである。

[0025] 図5は高電圧波形変換回路58の回路図である。高電圧波形変換回路58が図2の高電圧波形変換回路8と異なるのは、テスト信号入力部TESTを有することと、テスト信号入力部TESTのレベルを反転するインバータ15の出力にゲートが接続されるP型MOSTランジスタ14がN型MOSTランジスタ11と並列に設けられていることである。すなわち、高電圧波形変換回路58には図2の構成に以下の構成が加えられている。入力端子Aには、P型MOSTランジスタ14のソースとインバータ15の電源が接続される。P型MOSTランジスタ14のゲートは上述のようにインバータ15の出力に接続され、インバータ15の入力はテスト信号入力部TESTに接続される。P型MOSTランジスタ14のドレインは、N型MOSTランジスタ11のソースに接続される。ここで、P型MOSTランジスタ14はテスト信号入力部TESTにテスト信号が入力されたとき、電圧変換用スイッチング素子であるN型MOSTランジスタ11を短絡する短絡用スイッチング素子となっている。

- [0026] 通常時にはテスト信号入力部TESTはローレベルでありP型MOSトランジスタ14はオフとなる。この場合の出力端子Bの電圧は、図3の波形bに示すものとなる。一方、スクリーニング試験時にはテスト信号入力部TESTはテスト信号が入力されてハイレベルになり、P型MOSトランジスタ14はオンして高電圧発生回路7の高電圧をそのまま出力する。言い換えれば、N型MOSトランジスタ11は短絡するため、出力端子Bの電圧は入力端子Aの電圧と実質的に等しくなる。すなわち、スクリーニング試験時には、出力端子Bの電圧は図3の波形aに示すものとなるのである。
- [0027] このように、通常時には、高電圧波形変換回路58は、高電圧発生回路7の高電圧を立ち上がりが緩やかになるように変換し、その変換した高電圧をメモリセル部2の各メモリセルに印加することによって、メモリセルにかかるストレスを和らげることができる。一方、スクリーニング試験時には、高電圧発生回路7の高電圧を、すなわち立ち上がりが急峻でしかも電圧値が通常時よりも高い高電圧を、そのままメモリセル部2の各メモリセルに印加することによって、メモリセルにかかるストレスを上げることができる。ここで、スクリーニング試験時に、高電圧発生回路7や高電圧波形変換回路58などメモリセル部2の周辺回路に用いる高電圧用の素子が動作する電圧は、通常時と実質的に同じである。従って、それらの高電圧用の素子には、その耐圧の限度を超える電圧は印加されない。こうして、スクリーニング試験において、高電圧用の素子の耐圧の限度以下の電圧を印加させながら、メモリセル部2に印加される高電圧によるストレスを可能な限り高くして、スクリーニング試験の精度の向上を図ることができる。
- [0028] なお、本発明は、上述した実施形態に限られることなく、請求の範囲に記載した事項の範囲内でのさまざまな設計変更が可能である。例えば、高電圧波形変換回路8、58の遅延回路を抵抗12の代わりに定電流源を用いて構成することもできる。また、実施形態では不揮発性メモリ装置について説明したが、本発明は、不揮発性メモリ装置に限らず、高電圧を発生する高電圧発生回路を備える他の半導体装置に適用されることも可能である。

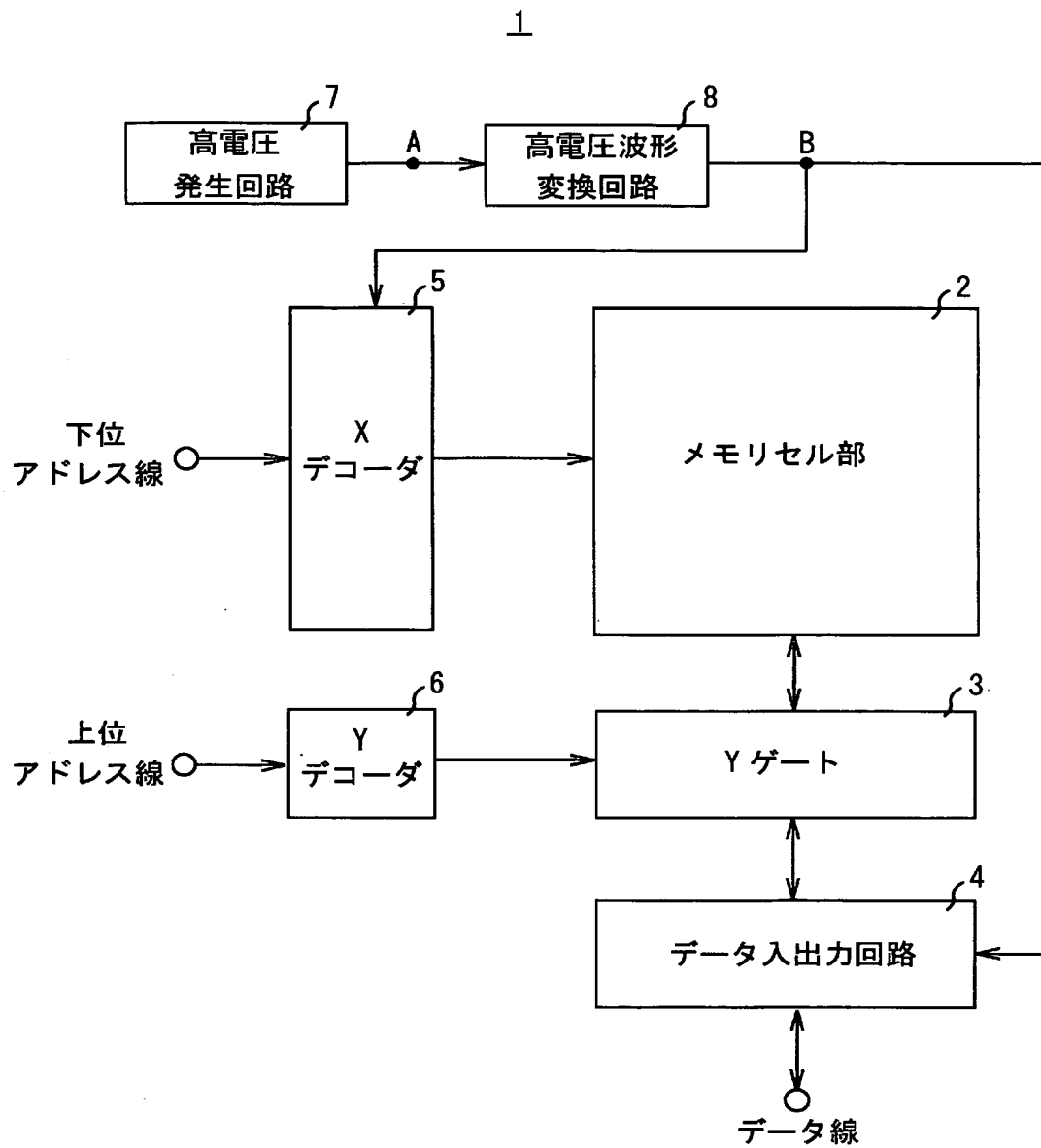
## 請求の範囲

- [1] 高電圧を発生する高電圧発生回路を備える半導体装置において、  
高電圧発生回路の後段に設けられ、高電圧発生回路の高電圧の波形を変換して  
徐々に高電圧を出力する高電圧波形変換回路を更に備えることを特徴とする半導体  
装置。
- [2] 請求項1に記載の半導体装置において、  
高電圧を用いてデータ書き換えが行われるメモリセルを更に備え、  
前記高電圧波形変換回路はメモリセルに徐々に高電圧を印加することを特徴とす  
る半導体装置。
- [3] 請求項1又は2に記載の半導体装置において、  
前記高電圧波形変換回路は、前記高電圧発生回路の高電圧を遅延させる遅延回  
路と、遅延させた高電圧を所定値だけ降下させる電圧変換用スイッチング素子と、を  
備えることを特徴とする半導体装置。
- [4] 請求項3に記載の半導体装置において、  
前記電圧変換用スイッチング素子は、前記遅延回路により遅延させた高電圧をゲ  
ートに入力し、所定値だけ降下させて変換した高電圧をソースから出力するN型MO  
Sトランジスタであることを特徴とする半導体装置。
- [5] 請求項1又は2に記載の半導体装置において、  
前記高電圧波形変換回路は、テスト信号入力部を有し、テスト信号入力部にテスト  
信号が入力されたとき、前記高電圧発生回路の高電圧の波形の変換をすることなく  
出力することを特徴とする半導体装置。
- [6] 請求項5に記載の半導体装置において、  
前記高電圧波形変換回路は、前記高電圧発生回路の高電圧を遅延させる遅延回  
路と、遅延させた高電圧を所定値だけ降下させる電圧変換用スイッチング素子と、電  
圧変換用スイッチング素子と並列に設けられ、前記テスト信号入力部にテスト信号が  
入力されたときに電圧変換用スイッチング素子を短絡する短絡用スイッチング素子と  
、を備えることを特徴とする半導体装置。
- [7] 請求項6に記載の半導体装置において、

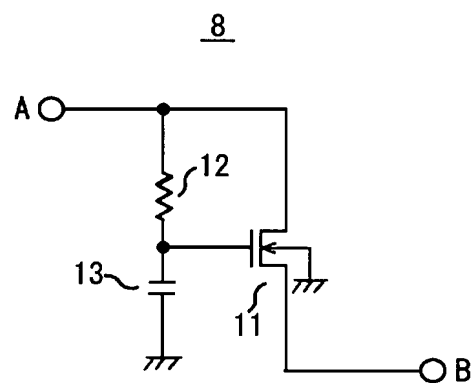


前記電圧変換用スイッチング素子は、前記遅延回路により遅延させた高電圧をゲートに入力し、所定値だけ降下させて変換した高電圧をソースから出力するN型MOSトランジスタであり、前記短絡用スイッチング素子は、前記テスト信号入力部にテスト信号が入力されたとき、オンして前記高電圧発生回路の高電圧をそのまま出力するP型MOSトランジスタであることを特徴とする半導体装置。

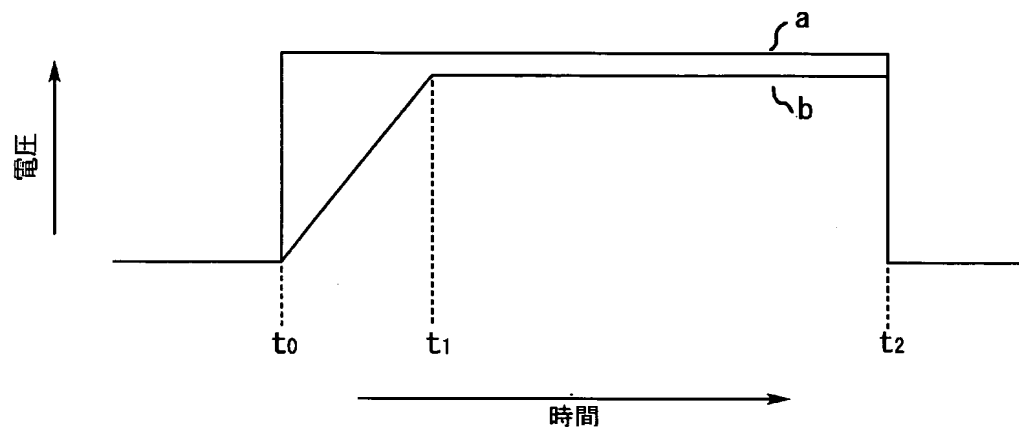
[図1]



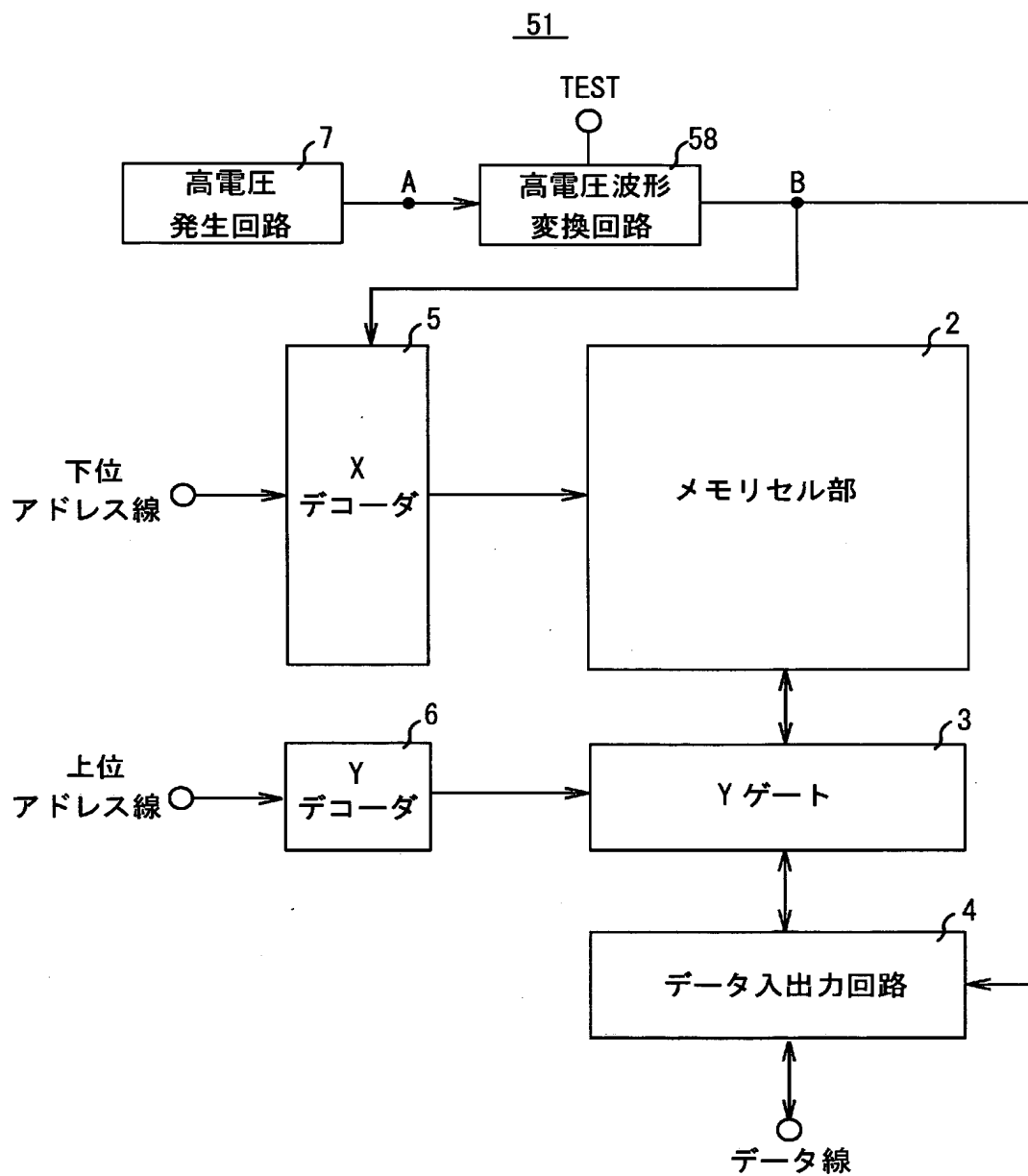
[図2]



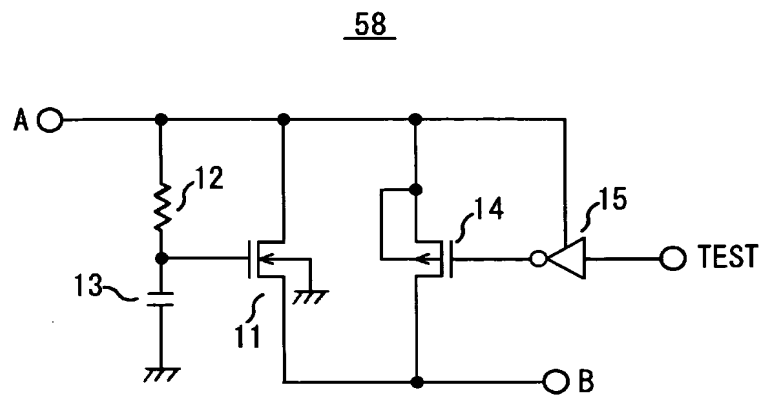
[図3]



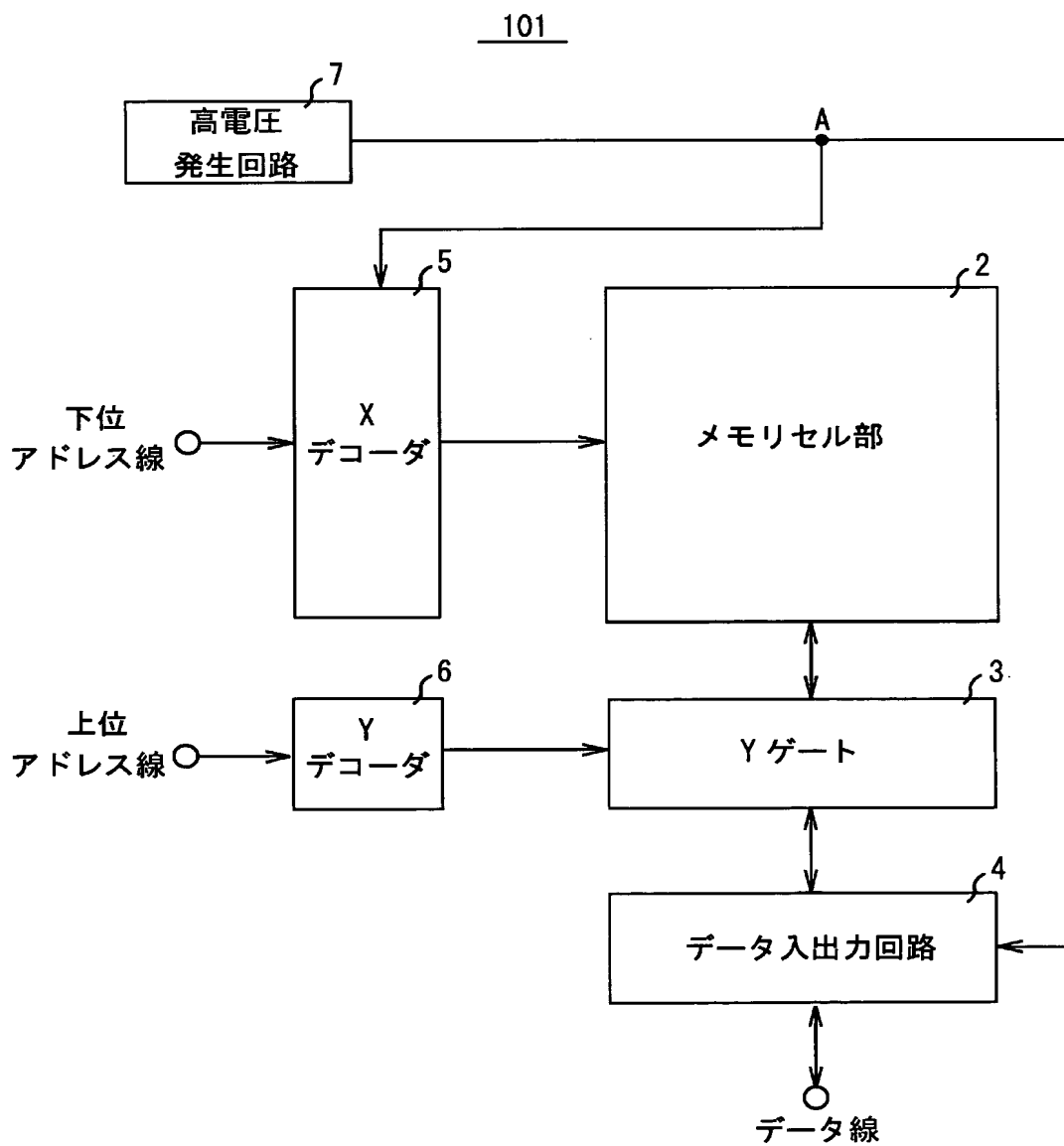
[図4]



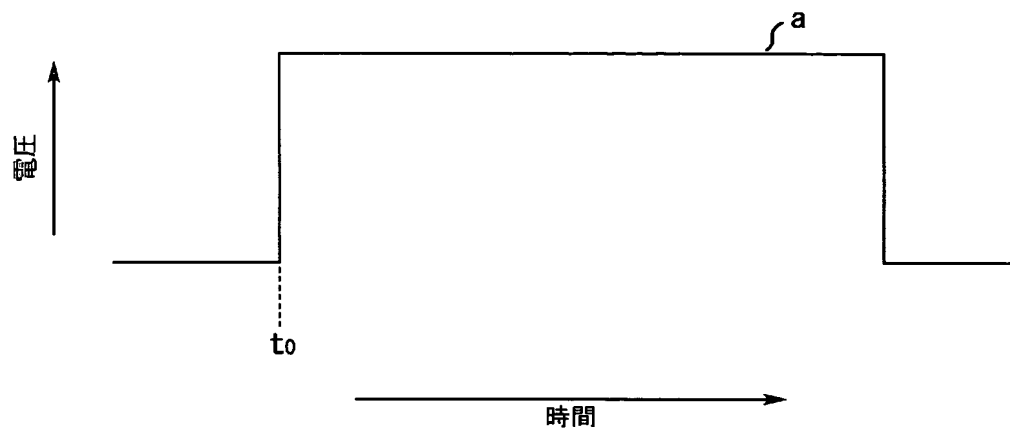
[図5]



[図6]



[図7]



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/018605

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl<sup>7</sup> G11C29/00, 16/06

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl<sup>7</sup> G11C29/00, 16/00-34

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005  
Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2003-015753 A (Matsushita Electric Industrial Co., Ltd.), 17 January, 2003 (17.01.03), Par. Nos. [0032] to [0040]; Fig. 1 (Family: none)	1, 2 3-7
Y	JP 4-257268 A (Toshiba Corp.), 11 September, 1992 (11.09.92), Par. Nos. [0030] to [0033]; Fig. 5 (Family: none)	3-7
A	JP 2002-008400 A (Seiko Epson Corp.), 11 January, 2002 (11.01.02), Full text; all drawings & US 2002/0014636 A1	3-7

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
15 March, 2005 (15.03.05)

Date of mailing of the international search report  
10 May, 2005 (10.05.05)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.<sup>7</sup> G11C29/00, 16/06

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.<sup>7</sup> G11C29/00, 16/00-34

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P 2003-015753 A (松下電器産業株式会社) 2003. 0	1, 2
Y	1. 17, 第0032-0040段落, 第1図 (ファミリーなし)	3-7
Y	J P 4-257268 A (株式会社東芝) 1992. 09. 11, 第 0030-0033段落, 第5図 (ファミリーなし)	3-7

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

国際調査を完了した日

15. 03. 2005

国際調査報告の発送日

10.05.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)  
郵便番号100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

飯田 清司

5N

3561

電話番号 03-3581-1101 内線 3586



C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP2002-008400 A (セイコーエプソン株式会社) 2002. 01.11, 全文, 全図 & US 2002/0014636 A1	3-7